

サイリスタのゲート回路設計

サイリスタはパワー関係の最初に出てくる素子ですが、その駆動用ゲート回路に関する文献が少なく、学生が使いこなせていない。ゲート回路の設計例（ノイズ対策済み）をここに記しておく。基本的にサイリスタのゲート信号は電流で ON させるものです。

1. ノイズ対策済みゲート回路基本回路の説明

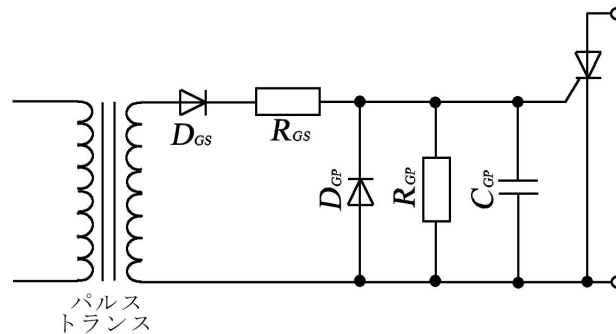


図1 ノイズ対策済みゲート回路基本回路

1. 1 パルストランス

パルストランスは、内部インピーダンスを持つ電圧源として考える。これをスイッチング電源とフォトカップラで作成する可能性もある。

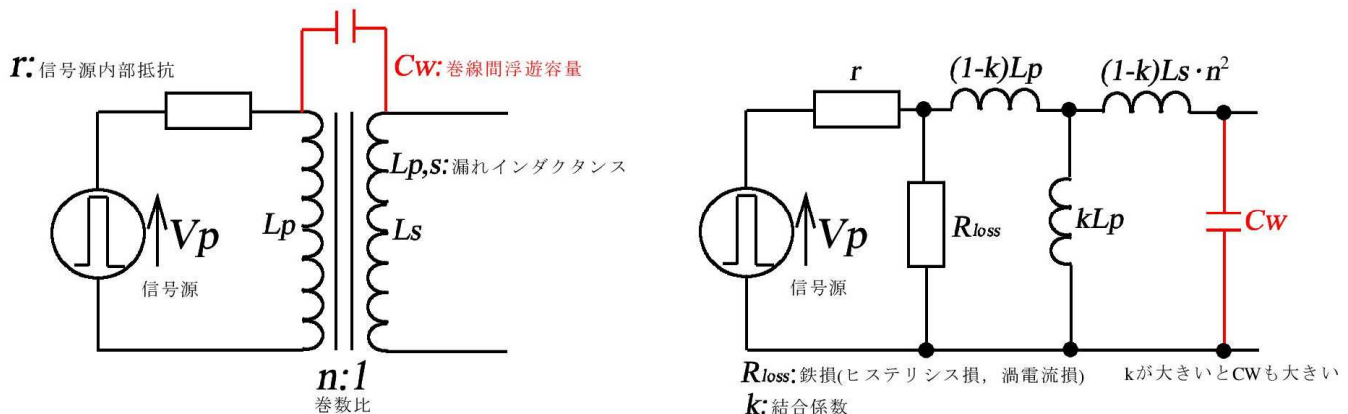


図2 パルストランスの等価回路

パルストランスの設計で重要なのは、巻線間浮遊容量 C_w (トランスの1次側と2次側を短絡させて1次側と2次側との間のキャパシタンスを LCR メータで測定) をできるだけ小さくする必要があることである。これは漏れインダクタンスを大きくする、つまり結合係数 k を小さくすることで改善できる。具体的にはパルストランスのギャップ幅を大きくすることで調整する。ギャップ幅を大きくすると、巻数が多く必要となるため、適切なギャップ幅にしなければならない。

なお、巻線間浮遊容量 C_w が大きいと、サイリスタに加わる電圧の変化 dv/dt によってゲート側へ大きな電流 ($C_w \cdot dv/dt$) が流れ (AG 間や KG 間の浮遊容量でゲート側に抜けてきます)、素子が誤点弧する可能性がある。なお、巻数比 n はゲート直列ダイオード D_{GS} の順方向電圧 (約 0.7V) でドロップする電圧分を考慮する必要がある。

1. 2 ゲート直列ダイオード D_{GS}

逆方向電流を遮断して、動作安定させる。また、順方向電圧（約 0.7V）によって、電圧ノイズを頭打ちにさせる（ノイズクリップ）効果もある。ちなみに、整流用ダイオード（東芝 S5566N）を使用すると、ON/OFF 速度が遅いため、トラブル経験あり。ファストリカバリ・ダイオードを用いるべし。

1. 3 ゲート直列抵抗 R_{GS}

ゲート回路負荷線決定用。負荷線については後述する。とりあえず、ゲート電流を制限する抵抗と考えておく。また、この抵抗の電力容量は、流れるゲート電流（方形波パルス）の実効値 $I_m \cdot \sqrt{\text{Duty}}$ （方形波パルスは直流ですが、平均値ではなく実効値を求めてください）から電力を求め、抵抗の最大容量(1/4W とか 1/2W とか 1W とか 3W など)の 50%以下で設計する。例えば 1W の抵抗を 1W で使用すると、抵抗が 100℃を越えてしまい、プリント基板のハンダが溶けることがあり、やけどをする可能性がある。

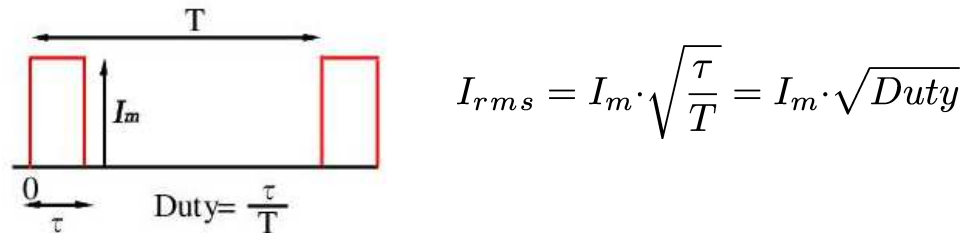


図 3 方形波パルス電流の実効値

1. 4 ゲート並列ダイオード D_{GP}

強制転流時（サイリスタは一旦電流が流れるとオフできません。強制的にサイリスタに逆電圧をかけて AK 間に流れる電流を切る回路を転流回路と呼んでいます）に印加されるゲート逆電圧防止用。これによってゲートが保護されます。このダイオードもオンオフが速いファストリカバリ・ダイオードを用いてください。

1. 5 ゲート並列抵抗 R_{GP}

オフ電圧保証用の抵抗、素子の dv/dt 対策やゲートノイズのバイパス用として動作します。必ず挿入してください。 C_{GP} がある場合は、放電抵抗としても動作します。最新サイリスタ活用技術（北村俊一、誠文堂新光社）には 100Ω から 1kΩ を接続しろとのアドバイスがあります。ここでは間を取って 470Ω とする。

1. 6 ゲート並列コンデンサ C_{GP}

高周波のゲートノイズの抑制や dv/dt 向上用として効果あり。 C_{GP} が大きすぎるとゲート電流の立ち上がりがなまってしまうので、0.01 μF から 0.1 μF 程度を用いてください。当研究室では 0.1 μF のパスコンが大量（秋月で購入した 2000 個入りのやつです）にありますので、これを用いてください。

2. ゲート負荷線

三社電機製作所のサイリスタ SMG16C60F2 を例に設計を行う。最大絶対定格を表 1 に、電気特性を表 2 に示す。ゲート負荷線に関する資料を図 4 に示す。

表 1 絶対最大定格

Maximum Ratings		(Tj=25℃ unless otherwise specified)		
Symbol	Item	Reference	Ratings	Unit
V_{RRM}	Repetitive Peak Reverse Voltage		600	V
V_{RSM}	Non-Repetitive Peak Reverse Voltage		720	V
V_{DRM}	Repetitive Peak Off-State Voltage		600	V
$I_T(AV)$	Average On-State Current	Single phase, half wave, 180°, conduction, Tc=58℃	16	A
$I_T(RMS)$	R.M.S. On-State Current	Single phase, half wave, 180°, conduction, Tc=58℃	25.1	A
I_{TSM}	Surge On-State Current	50Hz/60Hz, 1/2 cycle Peak value, non-repetitive	240/263	A
P_T	P_T		288	A·S
P_{GM}	Peak Gate Power Dissipation		5	W
$P_G(AV)$	Average Gate Power Dissipation		0.5	W
I_{FGM}	Peak Gate Current		2	A
V_{FGM}	Peak Gate Voltage (Forward)		6	V
V_{RGM}	Peak Gate Voltage (Reverse)		10	V
V_{ISO}	Isolation Breakdown (R.M.S.)	A.C 1minute	1500	V
T_J	Operating Junction Temperature		-40 ~ +125	℃
T_{stg}	Storage Temperature		-40 ~ +150	℃
	Mass		2	g

表 2 電気特性

■Electrical Characteristics						
Symbol	Item	Reference	Ratings			Unit
			Min.	Typ.	Max.	
I_{DRM}	Repetitive Peak Off-State Current	$T_J=125^{\circ}\text{C}$, $V_D=V_{DRM}$,			2	mA
I_{RRM}	Repetitive Peak Reverse Current	$T_J=125^{\circ}\text{C}$, $V_R=V_{RRM}$,			2	mA
V_{TM}	Peak On-State Voltage	$I_T=35\text{A}$, Inst. measurement			1.5	V
I_{GT}	Gate Trigger Current	$V_D=6\text{V}$, $R_L=10\Omega$			30	mA
V_{GT}	Gate Trigger Voltage				1.4	V
V_{GD}	Non-Trigger Gate Voltage	$T_J=125^{\circ}\text{C}$, $V_D=\frac{1}{2}V_{DRM}$,	0.2			V
I_H	Holding Current			15		mA
$R_{th(j-c)}$	Thermal Resistance	Junction to case			3	$^{\circ}\text{C/W}$

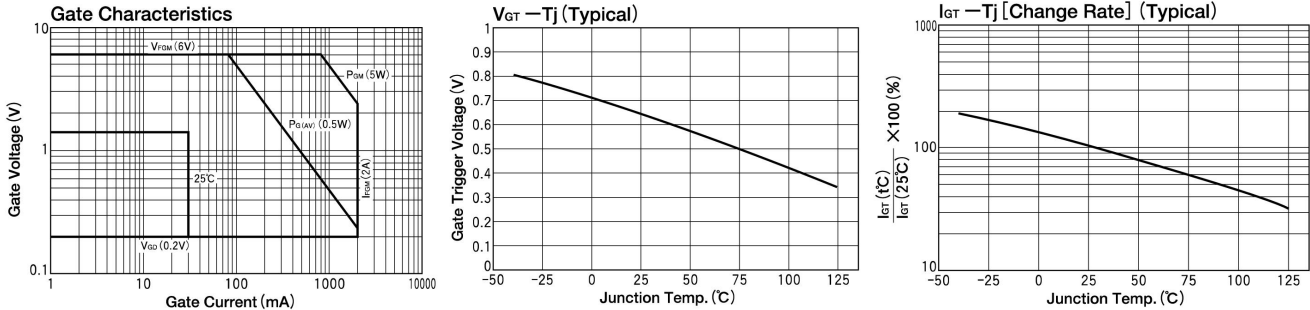


図 4 ゲート電圧電流特性

25°Cのとき、ゲート電圧は 1.4V(25°C時ワースト値)、ゲート電流は 30mA となっている。-40°Cでも動作させようと考え、ゲート電流を約 2 倍のマージン 60mA を考える必要がある。ゲート電圧は標準で-40°C時 0.8V、25°C時 0.65V であるので、-40°C時の最大ゲートトリガ電圧 V_{GT} は、 $0.8/0.65 \times 1.4 = 1.723\text{V}$ と推測できる。

このサイリスタの場合、ピークゲート電圧 V_{FGM} が 6V、ピークゲート電流 I_{FGM} が 2A、最大ゲートトリガ電圧 $V_{GT}(-40^{\circ}\text{C})$ が 1.72V、最大ゲートトリガ電流(-40°C) I_{GT} が 60mA である。確実にサイリスタを点弧させるには V_{GT}, I_{GT} の囲い線よりも大きなゲート負荷線を設定する必要がある。ただし、サイリスタが壊れてしまうピークゲート電圧が 6V($V_{GT}=1.72\text{V}$)とやや低いのに対し、ピークゲート電流は 2A と余裕があるので、設計的には電圧を大きくしてゲート負荷線を描くよりも、電流を大きくしてゲート曲線を描く方が信頼性は高くなる。

ゲート直列ダイオード D_{GS} は、秋月で入手できるハリソン製 ERA32-02(200V/1A)を用いることとする。図 5 に ERA32-02 の順方向電圧特性図を示す。ダイオードのジャンクション温度が 50°C程度であると考え、30mA 時で約 0.5V、200mA 時で約 0.65V となる。

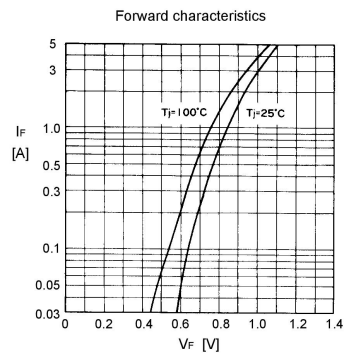


図 5 ERA32-02 の順方向電圧特性図

順方向電圧は、200mA 電流が流れているときは約 0.65V の電圧降下が生じるが、軽負荷時には約 0.5V 程度の電圧降下を生じる条件で設計を行う必要がある。そこで、ピークゲート電圧 6V に対し、安全マージンを見込んでパルストランスの電圧を 4V と設定する。順方向電圧での電圧降下を考慮し、ゲート回路の開放時の電圧は $4\text{V} - 0.5\text{V} = 3.5\text{V}$ 、短絡時で $4\text{V} - 0.65\text{V} = 3.35\text{V}$ となる。短絡時の電流を 200mA と設定すると、ゲート負荷線は図 6 となる。

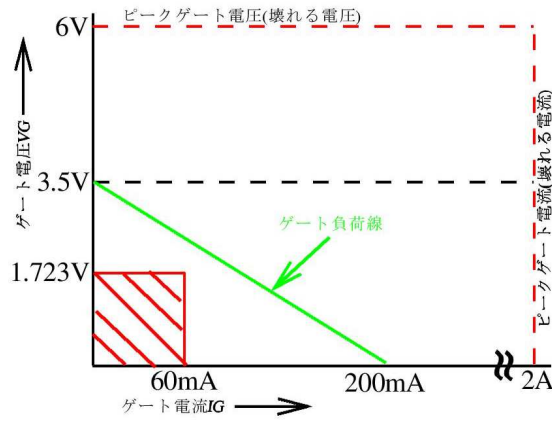


図 6 ゲート負荷線

このゲート負荷線は次式で表される。

$$V_G = \frac{-3.5}{200m} I_G + 3.5 = -17.5 I_G + 3.5$$

上式に $I_G=60\text{mA}$ を代入すると $V_G=2.45\text{V}$ 、 $V_G=1.723\text{V}$ を代入すると $I_G=102\text{mA}$ となり、最大ゲートトリガ電圧・電流を確実に越えることが確認できる。パルストランスの 1 次側電圧を 24V のパルスと仮定すると、2 次側のパルストランス出力電圧は D_{GS} の順方向電圧を考慮して 4V と設定した。短絡時の電圧は D_{GS} の順方向電圧を考慮すると 3.35V であり、200mA 程度の電流を流そうとすると 33Ω (E6 系列の組み合わせで選択する) の抵抗を 2 並列として 16.5Ω とすることで可能となる。このとき $I_G=3.35/16.5=203\text{mA}$ である。

以上の設計手順を踏まえると、ゲート回路の設計値は図 7 となる。

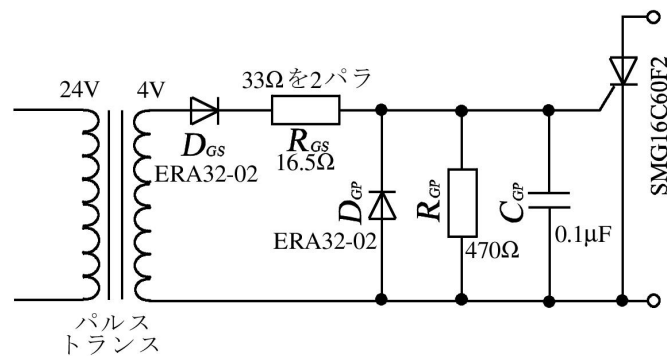


図 7 ゲート回路の設計値

サイリスタのゲート信号には、直流の信号を与える場合もあるが、今回のようにパルストランスを用いる場合には 1 次側にパルス電圧を与えることとなる。図 8 に示すゲートトリガ特性のパルス依存性のように、100μs 以上のパルスを与えないと大きなパルス電流値(2 倍程度)を必要とするため、ここではマージンを見込んで 300μs のパルス幅を与えることとする。

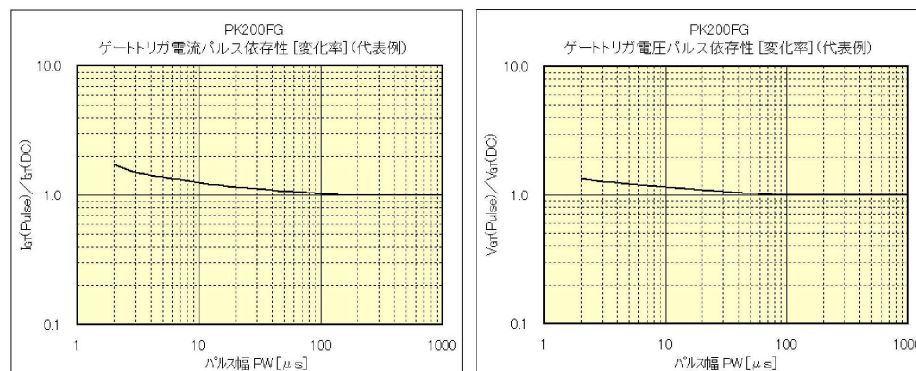


図 8 ゲートトリガ特性のパルス依存性

方形波パルスの実効値は次式で示される。設計値より I_m は 203mA、 τ は 300 μ s、60Hz のサイリスタ全波整流回路の場合、 $T=1/60=16.7\text{ms}$ であるので、 $Duty=0.01796$ となる。従って、実効値 I_{rms} は 27.2mA となり、 R_{GS} で生じる電力損失 P_{GS} は $(0.0272)^2 \cdot 16.5 = 12.2\text{mW}$ となる。抵抗の表面温度の都合より、負荷率は 50% 以下でなければならない。電力損失 P_{GS} は 12.2mW であり、抵抗を 2 並列としていることから 1 個あたりの P_{GS} は 6.1mW であり、1/4W の抵抗(負荷率 50% なので、0.125W までで使用する)を使用すれば良いことがわかる。

$$I_{rms} = I_m \cdot \sqrt{\frac{\tau}{T}} = I_m \cdot \sqrt{Duty}$$

3. サイリスタのマージン

設計する際、次の安全マージンを見込むこと。

- ・最大印加電圧の 80% 以下（入力電圧変動と転流サージ分も考慮すること）
- ・平均電流は定格の 80% 以下
- ・サージ電流は定格の 80% 以下で、サージオン電流耐量は 1000% 半波 1 サイクル波高値で算出
- ・定格臨海オン電流上昇率 di/dt は定格の 50% 以下
- ・ターンオフ時間はカタログ値の 2 倍を見込む
- ・ジャンクション温度は定格電流で算出し、125 $^{\circ}\text{C}$ 定格の場合、2/3 の温度 83 $^{\circ}\text{C}$ 以下で設計。なお、周囲温度は 50 $^{\circ}\text{C}$ で設計すること。